

PATENT ABSTRACTS OF JAPAN

22

(11)Publication number : 2002-204077

(43)Date of publication of application : 19.07.2002

(51)Int.Cl.

H05K 3/46
H01G 4/12
H01G 4/40

(21)Application number : 2000-403144

(71)Applicant : NGK SPARK PLUG CO LTD

(22)Date of filing : 28.12.2000

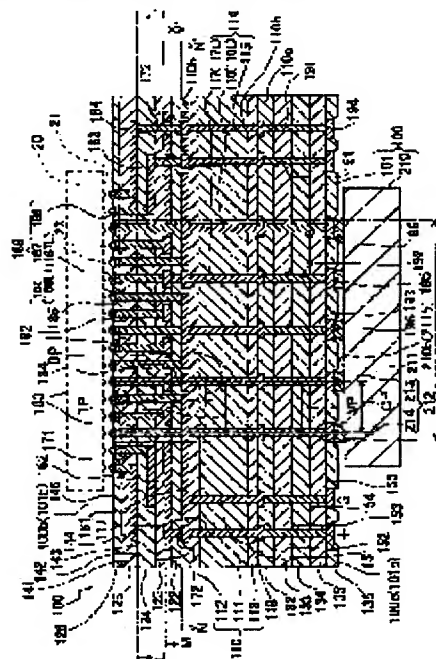
(72)Inventor : SUGIMOTO YASUHIRO
KURODA MASAO
KIMURA YUKIHIRO

(54) WIRING SUBSTRATE, WIRING SUBSTRATE MAIN BODY, AND CHIP CAPACITOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide wiring substrate having an electronic component such as an IC chip mounted on a major surface of a main body of the substrate having a core insulating layer, which facilitates connection between terminals such as power and grounding terminals and through-hole conductors formed in the core insulating layer.

SOLUTION: A wiring substrate 100 having an electronic component 20 mounted on a major surface 100b has a core insulating layer 110, and the major surface has first and second connection bumps 187 and 188 alternately arranged on the major surface in a lattice form to be formed as power and grounding terminals. Soled first and second conversion conductor layers 161 and 162 are provided between through-hole conductors 114 formed in the core insulating layer 110, and via conductors 182 and 183 on the major surface are extended from first and second bumps 187 and 188 to be connected to the first and second conductor layers. A core-side via conductor 184 is extended to be connected directly from first and second through-hole conductors 117 and 118 thereto.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-204077
(P2002-204077A)

(43) 公開日 平成14年7月19日 (2002.7.19)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 5 K 3/46		H 0 5 K 3/46	N 5 E 0 0 1 Q 5 E 0 8 2 Z 5 E 3 4 6
H 0 1 G 4/12 4/40	3 4 6	H 0 1 G 4/12 4/40	3 4 6 Λ
審査請求 未請求 請求項の数11 O L (全 21 頁)			

(21) 出願番号 特願2000-403144(P2000-403144)

(22) 出願日 平成12年12月28日 (2000. 12. 28)

(71) 出願人 000004547

日本特殊陶業株式会社
愛知県名古屋市長区瑞穂区高辻町14番18号

(72) 発明者 杉本 康宏

愛知県名古屋市長区瑞穂区高辻町14番18号 11
日本特殊陶業株式会社内

(72) 発明者 黒田 正雄

愛知県名古屋市長区瑞穂区高辻町14番18号 11
日本特殊陶業株式会社内

(74) 代理人 100104167

弁理士 奥田 誠 (外2名)

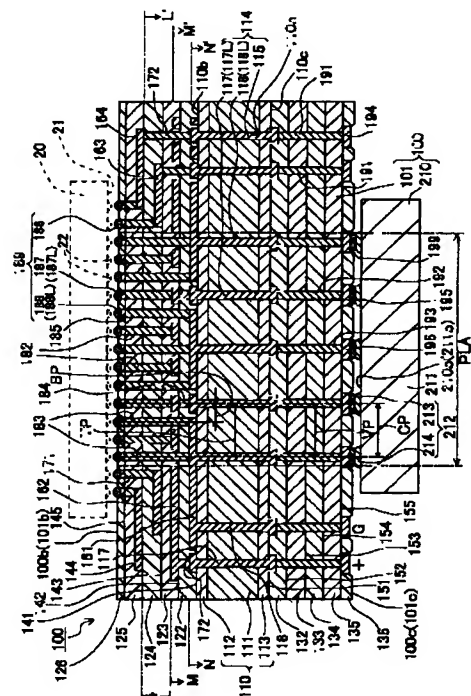
最終頁に続く

(54) 【発明の名称】 配線基板、配線基板本体、及びチップコンデンサ

(57) 【要約】

【課題】 コア絶縁層を有する配線基板本体の主面側に I Cチップなどの電子部品を搭載する配線基板において、電子部品の端子と接続する接続端子のうち、電源端子や接地端子などの端子とコア絶縁層に形成するスルーホール導体との接続を容易とした配線基板を提供すること。

【解決手段】 主面100b側に電子部品20を搭載する配線基板100は、コア絶縁層110を有し、主面側には電源端子や接地端子となる第1、第2接続バンプ187、188が格子状に交互に配置されている。コア絶縁層110に形成したスルーホール導体114との間に、ベタ状の第1、第2変換導体層161、162を介在させ、第1、第2接続バンプ187、188から主面側ビア導体182、183をのぼして第1、第2変換導体層に接続する。一方、第1、第2スルーホール導体117、118からも直接あるいはコア側ビア導体184をのぼして接続する。



【特許請求の範囲】

【請求項1】主面と裏面とを有する配線基板であって、上記主面側に形成され、この主面上に搭載する電子部品の端子と接続可能な複数の接続端子であって、共通第1電位とされる多数の第1接続端子、及び共通第2電位とされる多数の第2接続端子を含み、上記第1接続端子及び第2接続端子の少なくともいずれかは、第1所定間隔の格子状に交互に配置されて格子領域をなす第1格子接続端子と第2格子接続端子である接続端子と、
1または複数の絶縁層からなり、コア主面とコア裏面とを有するコア絶縁層と、
このコア絶縁層の上記コア主面と上記コア裏面との間を貫通するスルーホール導体であって、
共通第1電位とされる多数の第1スルーホール導体、及び共通第2電位とされる多数の第2スルーホール導体を含み、
少なくとも上記格子領域を厚さ方向裏面側に向けて投影した投影格子領域内に位置する上記第1スルーホール導体及び第2スルーホール導体のうち少なくともいずれかは、第2所定間隔の格子状に交互に配置された第1格子スルーホール導体と第2格子スルーホール導体であるスルーホール導体と、
上記コア絶縁層のコア主面と上記接続端子との間に介在し、複数の第1貫通孔を有する第1変換導体層と、
上記第1変換導体層と上記コア絶縁層のコア主面との間に位置し、複数の第2貫通孔を有する第2変換導体層と、
上記格子領域内の第1格子接続端子からそれぞれ上記配線基板の厚さ方向裏面側に向かって延び、上記第1変換導体層とそれぞれ電気的に接続する第1主面側ビア導体と、
上記格子領域内の第2格子接続端子からそれぞれ上記配線基板の厚さ方向裏面側に向かって延び、上記第1変換導体層とはそれぞれ絶縁しつつ上記第1貫通孔内を通過して、上記第2変換導体層とそれぞれ電気的に接続する第2主面側ビア導体と、
上記投影格子領域内の上記第1格子スルーホール導体からそれぞれ上記配線基板の厚さ方向主面側に向かって延び、上記第2変換導体層とはそれぞれ絶縁しつつ上記第2貫通孔内を通過して、上記第1変換導体層に接続する第1コア側ビア導体と、
上記投影格子領域内の上記第2格子スルーホール導体からそれぞれ上記配線基板の厚さ方向主面側に向かって延び、上記第2変換導体層に接続する第2コア側ビア導体と、を備え、
上記第2格子間隔は上記第1格子間隔よりも大きく、
上記投影格子領域内の上記第1コア側ビア導体の数は上記格子領域内の上記第1主面側ビア導体の数よりも少なく、

上記投影格子領域内の上記第2コア側ビア導体の数は上記格子領域内の上記第2主面側ビア導体の数よりも少ない配線基板。

【請求項2】請求項1に記載の配線基板であって、前記第2格子間隔は前記第1格子間隔の奇数倍であり、前記第1コア側ビア導体は、いずれも前記第1主面側ビア導体と略同軸であり、
前記第2コア側ビア導体は、いずれも前記第2主面側ビア導体と略同軸である配線基板。

【請求項3】主面と裏面とを有する配線基板であって、上記主面側に形成され、この主面上に搭載する電子部品の端子と接続可能な複数の接続端子であって、共通第1電位とされる多数の第1接続端子、及び共通第2電位とされる多数の第2接続端子を含み、
上記第1接続端子及び第2接続端子の少なくともいずれかは、第1所定間隔の格子状に交互に配置されて格子領域をなす第1格子接続端子と第2格子接続端子である接続端子と、
1または複数の絶縁層からなり、コア主面とコア裏面とを有するコア絶縁層と、
このコア絶縁層の上記コア主面と上記コア裏面との間を貫通するスルーホール導体であって、
共通第1電位とされる多数の第1スルーホール導体、及び共通第2電位とされる多数の第2スルーホール導体を含み、
少なくとも上記格子領域を厚さ方向裏面側に向けて投影した投影格子領域内に位置する上記第1スルーホール導体及び第2スルーホール導体のうち少なくともいずれかは、第2所定間隔の格子状に交互に配置された第1格子スルーホール導体と第2格子スルーホール導体であるスルーホール導体と、
上記コア絶縁層のコア主面と上記接続端子との間に介在し、複数の第1貫通孔を有する第1変換導体層と、
上記コア絶縁層のコア主面上に位置し、複数の第2貫通孔を有する第2変換導体層と、
上記格子領域内の第1格子接続端子からそれぞれ上記配線基板の厚さ方向裏面側に向かって延び、上記第1変換導体層とそれぞれ電気的に接続する第1主面側ビア導体と、
上記格子領域内の第2格子接続端子からそれぞれ上記配線基板の厚さ方向裏面側に向かって延び、上記第1変換導体層とはそれぞれ絶縁しつつ上記第1貫通孔内を通過して、上記第2変換導体層とそれぞれ電気的に接続する第2主面側ビア導体と、
上記投影格子領域内の上記第1格子スルーホール導体からそれぞれ上記配線基板の厚さ方向主面側に向かって延び、上記第1変換導体層に接続する第1コア側ビア導体と、を備え、
上記第1格子スルーホール導体は、上記第2貫通孔内に位置して上記第2変換導体層とはそれぞれ絶縁し、

上記投影格子領域内の上記第2格子スルーホール導体は上記第2変換導体層に直接接続し、
 上記第2格子間隔は上記第1格子間隔よりも大きく、
 上記投影格子領域内の上記第1コア側ビア導体の数は上記格子領域内の上記第1主面側ビア導体の数よりも少なく、
 上記投影格子領域内の上記第2格子スルーホール導体の数は上記格子領域内の上記第2主面側ビア導体の数よりも少ない配線基板。

【請求項4】請求項3に記載の配線基板であって、
 前記コア絶縁層のコア主面と上記接続端子との間に複数の主面側絶縁層を有し、
 前記第1変換導体層は、上記主面側絶縁層のうち、前記コア絶縁層に最も近くに位置する主面側絶縁層の主面側に配置されている配線基板。

【請求項5】請求項3または請求項4に記載の配線基板であって、
 前記第2格子間隔は前記第1格子間隔の奇数倍であり、
 前記第1コア側ビア導体は、いずれも前記第1主面側ビア導体と略同軸であり、
 前記第2格子スルーホール導体は、いずれも前記第2主面側ビア導体と略同軸である配線基板。

【請求項6】配線基板本体に1または複数のチップコンデンサコンデンサを搭載してなる配線基板であって、
 上記チップコンデンサは、
 コンデンサを構成する一方の電極及び他方の電極、
 接続面、
 上記接続面に形成され上記一方の電極と接続する複数の第1端子、及び、
 上記接続面に形成され上記他方の電極と接続する複数の第2端子、
 を備え、
 上記第1端子と第2端子とが所定間隔の格子状に交互に配置されたチップコンデンサであり、
 上記配線基板本体は、
 上記チップコンデンサを搭載するコンデンサ搭載面と、
 1または複数の絶縁層と、
 上記絶縁層を貫通するビア導体であって、
 共通第1電位とされる第1ビア導体、及び共通第2電位とされる第2ビア導体を含み、
 上記第1ビア導体と第2ビア導体の少なくともいずれかは、上記所定間隔と略同一の間隔の格子状に交互に配置された第1格子ビア導体及び第2格子ビア導体であるビア導体と、
 上記絶縁層がなす面のうち最も上記コンデンサ搭載面側の端子形成面において、上記接続面を上記コンデンサ搭載面側に向けた上記チップコンデンサの上記第1端子に対向する位置に形成され、上記第1格子ビア導体と接続する第1コンデンサ接続端子と、
 上記端子形成面に形成され、上記チップコンデンサの上

記第2端子に対向する位置に形成され、上記第2格子ビア導体と接続する第2コンデンサ接続端子と、を備える配線基板。

【請求項7】請求項6に記載の配線基板であって、
 前記チップコンデンサは複数であり、
 1のチップコンデンサの上記第1端子または第2端子と、これに隣り合う他のチップコンデンサの第2端子または第1端子との間隔が、前記所定間隔の2以上の整数倍であり、
 前記第1格子ビア導体のうち、前記第1コンデンサ接続端子に接続しない第1格子ビア導体は、前記端子形成面に形成され、上記第1コンデンサ接続端子のうちいずれかから延びる第1延在部に接続し、
 前記第2格子ビア導体のうち、前記第2コンデンサ接続端子に接続しない第2格子ビア導体は、前記端子形成面に形成され、上記第2コンデンサ接続端子のうちいずれかから延びる第2延在部に接続する配線基板。

【請求項8】請求項7に記載の配線基板であって、
 前記1のチップコンデンサの上記第1端子または第2端子と、これに隣り合う他のチップコンデンサの第2端子または第1端子との間隔が、前記所定間隔の2倍である配線基板。

【請求項9】1または複数のチップコンデンサコンデンサを搭載して配線基板とするための配線基板本体であって、
 上記チップコンデンサは、
 コンデンサを構成する一方の電極及び他方の電極、
 接続面、
 上記接続面に形成され上記一方の電極と接続する複数の第1端子、及び、
 上記接続面に形成され上記他方の電極と接続する複数の第2端子、
 を備え、
 上記第1端子と第2端子とが第1所定間隔の格子状に交互に配置されたチップコンデンサであり、上記配線基板本体は、
 上記チップコンデンサを搭載するコンデンサ搭載面と、
 1または複数の絶縁層と、
 上記絶縁層を貫通するビア導体であって、
 共通第1電位とされる第1ビア導体、及び共通第2電位とされる第2ビア導体を含み、
 上記第1ビア導体と第2ビア導体の少なくともいずれかは、上記所定間隔と略同一の間隔の格子状に交互に配置された第1格子ビア導体及び第2格子ビア導体であるビア導体と、
 上記絶縁層がなす面のうち最も上記コンデンサ搭載面側の面において、上記接続面を上記コンデンサ搭載面側に向けた上記チップコンデンサを搭載する際に上記第1端子に対向する位置に形成され、上記第1格子ビア導体と接続する第1コンデンサ接続端子と、

上記第1コンデンサ接続端子と同じ面に形成され、上記チップコンデンサを搭載する際に上記第2端子に対向する位置に形成され、上記第2格子ビア導体と接続する第2コンデンサ接続端子と、を備える配線基板本体。

【請求項10】請求項9に記載の配線基板本体であって、

前記チップコンデンサは複数であり、

1のチップコンデンサの上記第1端子または第2端子と、これに隣り合う他のチップコンデンサの第2端子または第1端子との間隔が、前記所定間隔の2以上の整数倍であり、

前記第1格子ビア導体のうち、前記第1コンデンサ接続端子に接続しない第1格子ビア導体は、前記端子形成面に形成され、上記第1コンデンサ接続端子のうちいずれかから延びる第1延在部に接続し、

前記第2格子ビア導体のうち、前記第2コンデンサ接続端子に接続しない第2格子ビア導体は、前記端子形成面に形成され、上記第2コンデンサ接続端子のうちいずれかから延びる第2延在部に接続する配線基板本体。

【請求項11】コンデンサを構成する一方の電極及び他方の電極を備えるチップコンデンサであって、

略直方体形状をなし、

略矩形形状の接続面と、

これに直交する4つの側面と、

上記接続面に形成され、上記一方の電極と接続する複数の第1端子と、

上記接続面に形成され、上記他方の電極と接続する複数の第2端子と、を備え、

上記第1端子と第2端子とが、所定間隔で、かつ上記接続面のいずれかの周縁辺と平行及び直交する格子状に交互に配置され、

上記第1端子及び第2端子のうち上記接続面の最外周に位置する最外第1端子及び最外第2端子と上記4つの側面との間隔が、いずれも上記所定間隔よりも小さいチップコンデンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コア絶縁層を有し、電子部品を搭載するための配線基板、及びチップコンデンサを搭載した配線基板、チップコンデンサを搭載するための配線基板本体、及びチップコンデンサに関する。

【0002】

【従来の技術】ICチップの高集積化に伴い、ICチップの各部分に低抵抗、低インダクタンスで電源電位や接地電位を供給するため、信号等の入出力端子の他、多数の電源端子や接地端子を設けるものがある。一方、電源配線等にノイズが重畳されて、ICチップの誤動作を防止すべく、ノイズ除去のため、例えば図16に示すように、ICチップ1を搭載する配線基板2の主面2bある

いは裏面2cに、別途、チップコンデンサ3をパッド19に搭載し、パッド19を経由してコンデンサ3の2つの電極とそれぞれ接続するコンデンサ接続配線4やパッド6との接続配線7を配線基板2の内部に設ける。これにより、コンデンサ接続配線4及びフリップチップパッド5を経由してチップコンデンサ3をICチップ1の電源端子や接地端子に接続するとともに、信号端子等をパッド6に接続することが行われている。

【0003】

【発明が解決しようとする課題】ところで、配線基板2として、コア絶縁層8の片面あるいは両面にさらに1または複数の絶縁層9～11、12～14を積層して形成してなるものを用いることがある。しかし、このようなコンデンサ接続配線4や接続配線7のうち、コア絶縁層8の上下間を接続するためにこれを貫通するスルーホール導体15同士の間隔は、加工上、フリップチップパッド5同士やこれとスルーホール導体15とを結ぶためのビア導体16同士の間隔よりも大きくならざるを得ないことがある。そこで、スルーホール導体15の間隔が適切な大きさとなるように、スルーホール導体15やビア導体16を含め、層間配線17等を用いて、コンデンサ接続配線4や接続配線7を適切に引き回す設計を行う必要がある。

【0004】しかしながら、上記のようにICチップ1に多数の電源端子や接地端子が存在する場合には、これらを裏面2c側に搭載したコンデンサ3と接続するためのコンデンサ接続配線4や裏面側のパッド6と接続するための接続配線7の引き回しが困難となったり、引き回しが複雑になりやすく、コンデンサ接続配線4や接続配線7の抵抗やインダクタンスも大きくなりがちである。さらに、裏面2cなどに多数のチップコンデンサを搭載したい場合、あるいは多数の端子を有するチップコンデンサに接続したい場合などにも、配線の引き回しが複雑になりやすい。

【0005】一方、裏面側にチップコンデンサ3を搭載するに当たって、チップコンデンサとして、その接続面に多数のバンプ状端子を縦横格子状に形成し、そのバンプ状端子で配線基板と接続するものがある。このようなチップコンデンサを搭載する配線基板でも、配線基板本体とチップコンデンサとの接続を容易にするためには、絶縁層12～14に形成するビア導体18やパッド19の配置を考慮する必要がある。

【0006】本発明は、かかる知見に鑑みてなされたものであって、その第1の目的は、コア絶縁層を有する配線基板本体の主面側にICチップなどの電子部品を搭載する配線基板において、電子部品の端子と接続する接続端子のうち、電源端子や接地端子などの端子とコア絶縁層に形成するスルーホール導体との接続を容易とした配線基板を提供することにある。また、他の目的は、配線基板本体の搭載面にチップコンデンサを搭載した配線

基板において、チップコンデンサの端子と配線基板本体に形成したビア導体やパッドの配置に考慮した配線基板、配線基板本体、及びチップコンデンサを提供することにある。

【0007】

【課題を解決するための手段、作用及び効果】その解決手段は、主面と裏面とを有する配線基板であって、上記主面側に形成され、この主面上に搭載する電子部品の端子と接続可能な複数の接続端子であって、共通第1電位とされる多数の第1接続端子、及び共通第2電位とされる多数の第2接続端子を含み、上記第1接続端子及び第2接続端子の少なくともいずれかは、第1所定間隔の格子状に交互に配置されて格子領域をなす第1格子接続端子と第2格子接続端子である接続端子と、1または複数の絶縁層からなり、コア主面とコア裏面とを有するコア絶縁層と、このコア絶縁層の上記コア主面と上記コア裏面との間を貫通するスルーホール導体であって、共通第1電位とされる多数の第1スルーホール導体、及び共通第2電位とされる多数の第2スルーホール導体を含み、少なくとも上記格子領域を厚さ方向裏面側に向けて投影した投影格子領域内に位置する上記第1スルーホール導体及び第2スルーホール導体のうち少なくともいずれかは、第2所定間隔の格子状に交互に配置された第1格子スルーホール導体と第2格子スルーホール導体であるスルーホール導体と、上記コア絶縁層のコア主面と上記接続端子との間に介在し、複数の第1貫通孔を有する第1変換導体層と、上記第1変換導体層と上記コア絶縁層のコア主面との間に位置し、複数の第2貫通孔を有する第2変換導体層と、上記格子領域内の第1格子接続端子からそれぞれ上記配線基板の厚さ方向裏面側に向かって延び、上記第1変換導体層とそれぞれ電氣的に接続する第1主面側ビア導体と、上記格子領域内の第2格子接続端子からそれぞれ上記配線基板の厚さ方向裏面側に向かって延び、上記第1変換導体層とはそれぞれ絶縁しつつ上記第1貫通孔内を通過して、上記第2変換導体層とそれぞれ電氣的に接続する第2主面側ビア導体と、上記投影格子領域内の上記第1格子スルーホール導体からそれぞれ上記配線基板の厚さ方向主面側に向かって延び、上記第2変換導体層とはそれぞれ絶縁しつつ上記第2貫通孔内を通過して、上記第1変換導体層に接続する第1コア側ビア導体と、上記投影格子領域内の上記第2格子スルーホール導体からそれぞれ上記配線基板の厚さ方向主面側に向かって延び、上記第2変換導体層に接続する第2コア側ビア導体と、を備え、上記第2格子間隔は上記第1格子間隔よりも大きく、上記投影格子領域内の上記第1コア側ビア導体の数は上記格子領域内の上記第1主面側ビア導体の数よりも少なく、上記投影格子領域内の上記第2コア側ビア導体の数は上記格子領域内の上記第2主面側ビア導体の数よりも少ない配線基板である。

【0008】上記したように、コア絶縁層にスルーホー

ル導体を形成した場合、コア絶縁層に形成するスルーホール導体同士の間隔は、加工手法の違いなどから、一般にICチップなどの電子部品と接続するためのフリップチップバンプなどの接続端子同士やこれに接続する主面側ビア導体などに比して大きくならざるを得ない場合がある。このため、電子部品の端子と接続可能な複数の接続端子を主面側に形成する配線基板において、この接続端子からコア絶縁層を越えて裏面側まで延ばす接続配線を設計するものにおいては、コア絶縁層に形成できるスルーホール導体の間隔に制限されるため、接続配線の設計が面倒であった。

【0009】これに対し、本発明の配線基板では、第1、第2変換導体層を有しているため、格子領域において格子状に交互に配置された第1格子接続端子と第2格子接続端子とが、第1、第2変換導体層で接続位置や接続数を変換されて、コア絶縁層のうち投影格子領域内に形成された第1、第2格子スルーホール導体に接続する。しかも、第2格子間隔は第1格子間隔よりも大きく、投影格子領域内の第1、第2コア側ビア導体の数は格子領域内の上記第1、第2主面側ビア導体の数よりもそれぞれ少ない。従って、この格子領域内の第1、第2格子接続端子は、第1、第2変換導体層によって接続位置や接続数を変換されて、容易に第1、第2格子スルーホール導体に接続できる。従って、配線基板における接続配線の設計が容易になる。

【0010】ここで、共通第1電位及び第2共通電位としては、一方を電源電位（例えば+電位：例えば+1.8V、+5Vなど）とし、他方を接地電位（0V）やー電位とするものが挙げられる。また、コア絶縁層としては、公知の材質からなるものを用いることができる。例えば、エポキシ樹脂、ポリイミド樹脂、BT樹脂、PPE樹脂などの樹脂を主成分としても、連続気孔を有するPTFEなど三次元網目構造のフッ素系樹脂にエポキシ樹脂などを含浸させた樹脂-樹脂複合材料等を用いることができる。さらに、ガラス織布やガラス不織布などのガラス繊維やポリアミド繊維などの有機繊維を用いて、エポキシ樹脂などと複合化したガラス-エポキシ樹脂複合材料などの複合材料、アルミナ、窒化アルミニウム、ムライト、ガラスセラミックなどのセラミック、エポキシ樹脂などの樹脂とセラミック粉末とを複合化したものなどが挙げられる。さらに、コア絶縁層としては、1層の絶縁層からなるものに限らず、例えば、ガラス-エポキシ樹脂複合材料からなるコア基板の両面に樹脂絶縁層をそれぞれ形成したものなど複数の絶縁層からなるものも含まれる。

【0011】また、第1格子接続端子と第2格子接続端子とがなす格子領域は、第1接続端子及び第2接続端子が配置された部分の一部であり、格子領域の形状は限定されない。従って、略矩形状、リング状など、搭載される電子部品の端子の配置に応じた形状となる。また、第

1, 第2接続端子の周囲には、相互間の絶縁を確実にし、ハンダ等の濡れ拡がりを防止するためソルダーレジスト層を形成することもできる。

【0012】さらに、上記配線基板であって、前記第2格子間隔は前記第1格子間隔の奇数倍であり、前記第1コア側ビア導体は、いずれも前記第1主面側ビア導体と略同軸であり、前記第2コア側ビア導体は、いずれも前記第2主面側ビア導体と略同軸である配線基板とすると良い。

【0013】第1, 第2変換導体層で変換された後の第1, 第2コア側ビア導体に変換前の第1, 第2主面側ビア導体と略同軸でない場合には、接続端子とスルーホール導体とをつなぐ経路はいずれも第1, 第2主面側ビア導体を通り、第1, 第2変換導体層を平面方向に通る、その後第1, 第2コア側ビア導体を通して、第1, 第2格子スルーホール導体にそれぞれ接続することになる。従って、いずれの経路も、一旦変換導体層を平面方向に通るものであるため、この変換導体層を平面方向に通る分だけ、各経路の合成抵抗や合成インダクタンスが大きくなる。

【0014】これに対し本発明の配線基板では、第2格子間隔が第1格子間隔の奇数倍、具体的には、3, 5…倍である。このように奇数倍にすると、第1格子間隔の格子と第2所定間隔の格子とをぴったりと重ね合わせることができる関係となる。しかも、第1コア側ビア導体は、いずれも第1主面側ビア導体と略同軸であり、第2コア側ビア導体は、いずれも第2主面側ビア導体と略同軸である。上記したように、投影格子領域内の第1コア側ビア導体の数は格子領域内の第1主面側ビア導体の数よりも少ない。従って、第1主面側ビア導体から見れば、第1コア側ビア導体と同軸でない第1主面側ビア導体が存在する。この主面側ビア導体については、第1変換導体層を平面方向に通って第1コア側ビア導体と接続するから、第1格子接続端子と第1格子スルーホール導体とをつなぐ経路は、この変換導体層の分だけ、各経路の合成抵抗や合成インダクタンスが大きくなる。しかし、同軸にされた主面側ビア導体とコア側ビア導体との間では、変換導体層を厚さ方向に通るだけとなり、抵抗やインダクタンスが他に比して小さくなる。従って、周囲に位置する他の主面側ビア導体コア側ビア導体と同軸でないため、変換導体層を平面方向に通る、この部分で抵抗やインダクタンスが発生していても、これらと並列に接続される一部の経路で第1主面側ビア導体と第1コア側ビア導体との間の抵抗やインダクタンスを低減できることで、第1格子接続端子と第1格子スルーホール導体とをつなぐ経路全体としての合成抵抗や合成インダクタンスを低減することができる。

【0015】なお、第2コア側ビア導体と第2主面側ビア導体との関係も同様であり、一部の経路で第2主面側ビア導体と第2コア側ビア導体との間の抵抗やインダク

タンスを低減できることで、第2格子接続端子と第2格子スルーホール導体とをつなぐ経路全体としての合成抵抗や合成インダクタンスを低減することができる。従って、配線基板全体としても、第1, 第2格子接続端子と第1, 第2格子スルーホール導体とをつなぐ経路全体としての合成抵抗や合成インダクタンスを低減することができる。

【0016】さらに他の解決手段は、主面と裏面とを有する配線基板であって、上記主面側に形成され、この主面上に搭載する電子部品の端子と接続可能な複数の接続端子であって、共通第1電位とされる多数の第1接続端子、及び共通第2電位とされる多数の第2接続端子を含み、上記第1接続端子及び第2接続端子の少なくともいずれかは、第1所定間隔の格子状に交互に配置されて格子領域をなす第1格子接続端子と第2格子接続端子である接続端子と、1または複数の絶縁層からなり、コア主面とコア裏面とを有するコア絶縁層と、このコア絶縁層の上記コア主面と上記コア裏面との間を貫通するスルーホール導体であって、共通第1電位とされる多数の第1スルーホール導体、及び共通第2電位とされる多数の第2スルーホール導体を含み、少なくとも上記格子領域を厚さ方向裏面側に向けて投影した投影格子領域内に位置する上記第1スルーホール導体及び第2スルーホール導体のうち少なくともいずれかは、第2所定間隔の格子状に交互に配置された第1格子スルーホール導体と第2格子スルーホール導体であるスルーホール導体と、上記コア絶縁層のコア主面と上記接続端子との間に介在し、複数の第1貫通孔を有する第1変換導体層と、上記コア絶縁層のコア主面上に位置し、複数の第2貫通孔を有する第2変換導体層と、上記格子領域内の第1格子接続端子からそれぞれ上記配線基板の厚さ方向裏面側に向かって延び、上記第1変換導体層とそれぞれ電氣的に接続する第1主面側ビア導体と、上記格子領域内の第2格子接続端子からそれぞれ上記配線基板の厚さ方向裏面側に向かって延び、上記第1変換導体層とはそれぞれ絶縁しつつ上記第1貫通孔内を通して、上記第2変換導体層とそれぞれ電氣的に接続する第2主面側ビア導体と、上記投影格子領域内の上記第1格子スルーホール導体からそれぞれ上記配線基板の厚さ方向主面側に向かって延び、上記第1変換導体層に接続する第1コア側ビア導体と、を備え、上記第1格子スルーホール導体は、上記第2貫通孔内に位置して上記第2変換導体層とはそれぞれ絶縁し、上記投影格子領域内の上記第2格子スルーホール導体は上記第2変換導体層に直接接続し、上記第2格子間隔は上記第1格子間隔よりも大きく、上記投影格子領域内の上記第1コア側ビア導体の数は上記格子領域内の上記第1主面側ビア導体の数よりも少なく、上記投影格子領域内の上記第2格子スルーホール導体の数は上記格子領域内の上記第2主面側ビア導体の数よりも少ない配線基板である。

【0017】本発明の配線基板では、第1、第2変換導体層を有しているので、格子領域において格子状に交互に配置された第1格子接続端子と第2格子接続端子とが、第1、第2変換導体層で接続位置や接続数を変換されて、コア絶縁層のうち投影格子領域内に形成された第1、第2格子スルーホール導体に接続する。しかも、第2格子間隔は第1格子間隔よりも大きく、投影格子領域内の第1コア側ビア導体の数は格子領域内の上記第1主面側ビア導体の数よりも少なく、第2格子スルーホール導体の数は格子領域内の第2主面側ビア導体の数よりも少ない。従って、この格子領域内の第1、第2格子接続端子は、第1、第2変換導体層によって接続位置や接続数を変換されて、容易に第1、第2格子スルーホール導体に接続できる。従って、配線基板における接続配線的设计が容易になる。

【0018】一般に、抵抗やインダクタンスは、並列な経路が多いほど合成抵抗や合成インダクタンスを引き下げることができる。本発明の配線基板では、第2変換導体層がコア絶縁層のコア主面に形成されており、第2変換導体層が直接第2格子スルーホール導体と接続している。つまり本発明の配線基板では、第2変換導体層が最もコア絶縁層側に位置しているので、各第2格子接続端子から第2変換導体層までの経路が長く、第2変換導体層から第2格子スルーホール導体までの経路が最も短い（直接接続している）。ここで、第2主面側ビア導体を含む各第2格子接続端子から第2変換導体層までの経路は、第2格子スルーホール導体より数が多いのであるから、このようにすることで、各第2格子接続端子から第2変換導体層までの経路で発生する合成抵抗や合成インダクタンスを最も小さくできる。

【0019】さらに、上記配線基板であって、前記コア絶縁層のコア主面と上記接続端子との間に複数の主面側絶縁層を有し、前記第1変換導体層は、上記主面側絶縁層のうち、前記コア絶縁層の最も近くに位置する主面側絶縁層の主面側に配置されている配線基板とすると良い。

【0020】本発明の配線基板では、第1変換導体層は、主面側絶縁層のうち、コア絶縁層の最も近くに位置する主面側絶縁層の主面側に配置されている。つまり、主面側絶縁層のうち、コア絶縁層の最も近くに位置する主面側絶縁層とこれに隣接する主面側絶縁層との層間に配置されている。このため、第2変換導体層が第2格子スルーホール導体の最も近く位置するにばかりでなく、第1変換導体層も、第1格子スルーホール導体の最も近くに位置することになり、各第1格子接続端子から第1変換導体層までの経路が長く、第1変換導体層から第1格子スルーホール導体までの経路が最も短くなる。従って、各第1格子接続端子から第1変換導体層までの経路で発生する合成抵抗や合成インダクタンスを最も小さくできる。従って、各第2格子接続端子から第2変換導

層までの経路で発生する合成抵抗や合成インダクタンスを最も小さくできることと相俟って、各第1、第2格子接続端子から第1、第2変換導体層までの経路で発生する合成抵抗や合成インダクタンスを最も小さくできる。

【0021】さらに、上記いずれかに記載の配線基板であって、前記第2格子間隔は前記第1格子間隔の奇数倍であり、前記第1コア側ビア導体は、いずれも前記第1主面側ビア導体と略同軸であり、前記第2格子スルーホール導体は、いずれも前記第2主面側ビア導体と略同軸である配線基板とすると良い。

【0022】第1変換導体層で変換された後の第1コア側ビア導体の変換前の第1主面側ビア導体と略同軸でない場合には、第1格子接続端子と第1格子スルーホール導体とをつなぐ経路はいずれも第1主面側ビア導体を通り、一旦第1変換導体層を平面方向に通る、その後第1コア側ビア導体を通して、第1格子スルーホール導体に接続することになる。また、第2変換導体層で変換された後の第2格子スルーホール導体の変換前の第2主面側ビア導体と略同軸でない場合には、第2格子接続端子と第2格子スルーホール導体とをつなぐ経路はいずれも第2主面側ビア導体を通り、一旦第2変換導体層を平面方向に通る、その後第2格子スルーホール導体に接続することになる。従って、いずれの経路も、変換導体層を平面方向に通るものであるため、この変換導体層を平面方向に通る分だけ、各経路の合成抵抗や合成インダクタンスが大きくなる。

【0023】これに対し本発明の配線基板では、第2格子間隔が第1格子間隔の奇数倍、具体的には、3、5…倍である。このように奇数倍にすると、第1格子間隔の格子と第2所定間隔の格子とをぴったりと重ね合わせることができる関係となる。しかも、第1コア側ビア導体は、いずれも第1主面側ビア導体と略同軸である。また、第2格子スルーホール導体は、いずれも第2主面側ビア導体と略同軸である。上記したように、投影格子領域内の第1コア側ビア導体の数は格子領域内の第1主面側ビア導体の数よりも少ない。従って、第1主面側ビア導体から見れば、第1コア側ビア導体と同軸でない第1主面側ビア導体が存在する。この主面側ビア導体については、第1変換導体層を平面方向に通って第1コア側ビア導体と接続するから、格子接続端子と第1格子スルーホール導体とをつなぐ経路は、この変換導体層の分だけ、各経路の合成抵抗や合成インダクタンスが大きくなる。しかし、同軸にされた主面側ビア導体とコア側ビア導体との間では、変換導体層を厚さ方向に通るだけとなり、抵抗やインダクタンスが他に比して小さくなる。従って、周囲に位置する他の主面側ビア導体コア側ビア導体と同軸でないため、変換導体層を平面方向に通る、この部分で抵抗やインダクタンスが発生していても、これらと並列に接続される一部の経路で第1主面側ビア導体と第1コア側ビア導体との間の抵抗やインダクタンス

を低減できることで、第1格子接続端子と第1格子スルーホール導体とをつなぐ経路全体としての合成抵抗や合成インダクタンスを低くすることができる。

【0024】なお、第2格子スルーホール導体と第2主面側ビア導体との関係も同様であり、一部の経路で第2主面側ビア導体と第2格子スルーホール導体との間の抵抗やインダクタンスを低減できることで、第2格子接続端子と第2格子スルーホール導体とをつなぐ経路全体としての合成抵抗や合成インダクタンスを低くすることができる。従って、配線基板全体として、第1、第2格子接続端子と第1、第2格子スルーホール導体とをつなぐ経路全体としての合成抵抗や合成インダクタンスを低くすることができる。

【0025】さらに前記他の目的にかかる解決手段は、配線基板本体に1または複数のチップコンデンサコンデンサを搭載してなる配線基板であって、上記チップコンデンサは、コンデンサを構成する一方の電極及び他方の電極、接続面、上記接続面に形成され上記一方の電極と接続する複数の第1端子、及び、上記接続面に形成され上記他方の電極と接続する複数の第2端子、を備え、上記第1端子と第2端子とが所定間隔の格子状に交互に配置されたチップコンデンサであり、上記配線基板本体は、上記チップコンデンサを搭載するコンデンサ搭載面と、1または複数の絶縁層と、上記絶縁層を貫通するビア導体であって、共通第1電位とされる第1ビア導体、及び共通第2電位とされる第2ビア導体を含み、上記第1ビア導体と第2ビア導体の少なくともいずれかは、上記所定間隔と略同一の間隔の格子状に交互に配置された第1格子ビア導体及び第2格子ビア導体であるビア導体と、上記絶縁層がなす面のうち最も上記コンデンサ搭載面側の端子形成面において、上記接続面を上記コンデンサ搭載面側に向けた上記チップコンデンサの上記第1端子に対向する位置に形成され、上記第1格子ビア導体と接続する第1コンデンサ接続端子と、上記端子形成面に形成され、上記チップコンデンサの上記第2端子に対向する位置に形成され、上記第2格子ビア導体と接続する第2コンデンサ接続端子と、を備える配線基板である。

【0026】本発明の配線基板では、チップコンデンサは、接続面に格子状に交互に配置された第1、第2端子を有する。一方、配線基板本体は、格子状に交互に配置された第1、第2格子ビア導体を有し、この格子の間隔は、第1、第2端子の格子の間隔と略同じである。また、第1、第2格子ビア導体とそれぞれ接続し、第1、第2端子とそれぞれ対向する第1、第2コンデンサ接続端子を有する。このため、チップコンデンサの各第1、第2端子と、各第1、第2格子ビア導体との接続に、絶縁層において平面方向に延びた配線層を用いる必要が無く、第1、第2コンデンサ接続端子を介するのみで接続できるので、チップコンデンサと第1、第2格子ビア導体の両者を容易に接続することができる。しかも、両者

間を低抵抗、低インダクタンスで接続することができる。

【0027】なお、チップコンデンサとしては、配線基板に搭載できるものであればいずれのものでも良いが、例えば、積層セラミックタイプや、電解コンデンサタイプ、フィルムコンデンサタイプのものなどが挙げられる。特に、積層セラミックタイプのチップコンデンサは、周波数特性も良好である点、また、熱が掛かるなどしても特性が比較的安定である点で好ましい。また、第1、第2コンデンサ接続端子の周囲には、相互間の絶縁を確実にし、ハンダ等の濡れ拡がりを防止するためソルダーレジスト層を形成することもできる。

【0028】さらに上記配線基板であって、前記チップコンデンサは複数であり、1のチップコンデンサの上記第1端子または第2端子と、これに隣り合う他のチップコンデンサの第2端子または第1端子との間隔が、前記所定間隔の2以上の整数倍であり、前記第1格子ビア導体のうち、前記第1コンデンサ接続端子に接続しない第1格子ビア導体は、前記端子形成面に形成され、上記第1コンデンサ接続端子のうちいずれかから延びる第1延在部に接続し、前記第2格子ビア導体のうち、前記第2コンデンサ接続端子に接続しない第2格子ビア導体は、前記端子形成面に形成され、上記第2コンデンサ接続端子のうちいずれかから延びる第2延在部に接続する配線基板とすると良い。

【0029】配線基板本体に複数のチップコンデンサを搭載する場合には、チップコンデンサ同士の間隙が生じるため、各チップコンデンサとビア導体との接続が面倒となり易い。これに対し、本発明の配線基板では、チップコンデンサの端子同士の関係に着目し、隣り合う2つのチップコンデンサに属する端子同士の間隔を格子間隔の2以上の整数倍とした。これにより、略同じ格子間隔を持つ第1、第2格子ビア導体とそれぞれのチップコンデンサの第1、第2端子との接続についてみれば、各々のチップコンデンサの各第1、第2端子と、各第1、第2格子ビア導体とは、絶縁層において平面方向に延びて形成された配線層が介在することなく、第1、第2コンデンサ接続端子を介するのみで接続できる点で変わるところがない。従って、第1、第2端子と第1、第2格子ビア導体とを容易に、かつ低抵抗、低インダクタンスで接続することができる。

【0030】しかも、各チップコンデンサ同士の間隙や周囲などに対応した位置にある第1、第2格子ビア導体は、それぞれ第1、第2延在部に接続して、これを経由して第1、第2コンデンサ接続端子に接続するので、これを通じてそれぞれ第1、第2コンデンサ接続端子に接続することができる。このため、第1、第2延在部を有する第1、第2コンデンサ接続端子では、接続される第1、第2格子ビア導体が増えることとなり、チップコンデンサを充放電する際の第1、第2格子ビア導体による

抵抗やインダクタンスを低減できる。また、これらの部位に位置する第1、第2格子ビア導体についても、所定間隔の格子状に交互に配置された状態を維持しているので、チップコンデンサの端子数などチップコンデンサの形状等に変更があった場合でも、第1、第2格子ビア導体の位置等を変更することなく、第1、第2延在部を含む第1、第2コンデンサ接続端子のパターンを変更することで、容易に対応することができる。

【0031】さらに、上記配線基板であって、前記1のチップコンデンサの上記第1端子または第2端子と、これに隣り合う他のチップコンデンサの第2端子または第1端子との間隔が、前記所定間隔の2倍である配線基板とすると良い。

【0032】複数のチップコンデンサを搭載するに当たっては、搭載面のうち限られた領域にできるだけ多数のチップコンデンサを搭載することで、チップコンデンサ全体の静電容量を大きくしたい場合などにおいて、チップコンデンサ相互間の隙間を小さくすることが望まれることがある。このような場合には、前記配線基板であって、前記チップコンデンサは複数であり、1のチップコンデンサの上記第1端子または第2端子と、これに隣り合う他のチップコンデンサの第1端子または第2端子との間隔が、前記所定間隔に略等しい配線基板とするのが好ましい。但し、このようにすると、チップコンデンサに設けた第1、第2端子が接続面の周縁のすぐ近くに位置することとなり、チップコンデンサ自身を形成しにくくなる上、隣り合うチップコンデンサ同士の絶縁を維持しにくくなりがちである。

【0033】本発明の配線基板では、隣り合うチップコンデンサの端子同士の間隔が、所定間隔の2倍、すなわち、第1、第2格子ビア導体の格子間隔の2倍である。このため、略同じ格子間隔を持つ第1、第2格子ビア導体とそれぞれのチップコンデンサの第1、第2端子との接続についてみれば、各々のチップコンデンサの各第1、第2端子と、各第1、第2格子ビア導体とは、第1、第2コンデンサ接続端子を介するのみで接続できる。従って、第1、第2端子と第1、第2格子ビア導体とを容易に、かつ低抵抗、低インダクタンスで接続することができる。しかも、隣り合うチップコンデンサの端子同士の間隔を所定間隔の2倍という小さな間隔にしたので、チップコンデンサを密集して搭載することができる。

【0034】さらに、他の解決手段は、1または複数のチップコンデンサコンデンサを搭載して配線基板とするための配線基板本体であって、上記チップコンデンサは、コンデンサを構成する一方の電極及び他方の電極、接続面、上記接続面に形成され上記一方の電極と接続する複数の第1端子、及び、上記接続面に形成され上記他方の電極と接続する複数の第2端子、を備え、上記第1端子と第2端子とが第1所定間隔の格子状に交互に配置

されたチップコンデンサであり、上記配線基板本体は、上記チップコンデンサを搭載するコンデンサ搭載面と、1または複数の絶縁層と、上記絶縁層を貫通するビア導体であって、共通第1電位とされる第1ビア導体、及び共通第2電位とされる第2ビア導体を含み、上記第1ビア導体と第2ビア導体の少なくともいずれかは、上記所定間隔と略同一の間隔の格子状に交互に配置された第1格子ビア導体及び第2格子ビア導体であるビア導体と、上記絶縁層がなす面のうち最も上記コンデンサ搭載面側の面において、上記接続面を上記コンデンサ搭載面側に向けた上記チップコンデンサを搭載する際に上記第1端子に対向する位置に形成され、上記第1格子ビア導体と接続する第1コンデンサ接続端子と、上記第1コンデンサ接続端子と同じ面に形成され、上記チップコンデンサを搭載する際に上記第2端子に対向する位置に形成され、上記第2格子ビア導体と接続する第2コンデンサ接続端子と、を備える配線基板本体である。

【0035】本発明の配線基板本体では、これに搭載するチップコンデンサが、接続面に格子状に交互に配置された第1、第2端子を有する。一方、配線基板本体は、格子状に交互に配置された第1、第2格子ビア導体を有し、この格子の間隔は、第1、第2端子の格子の間隔と略同じである。また、第1、第2格子ビア導体とそれぞれ接続し、第1、第2端子とそれぞれ対向する第1、第2コンデンサ接続端子を有する。このため、チップコンデンサの各第1、第2端子と、各第1、第2格子ビア導体との接続のために、絶縁層において平面方向に延びた配線層を形成しておく必要が無く、第1、第2コンデンサ接続端子を介するのみで接続できるので、チップコンデンサと第1、第2格子ビア導体の両者を容易に接続することができる。しかも、両者間を低抵抗、低インダクタンスで接続することができる。

【0036】さらに、上記配線基板本体であって、前記チップコンデンサは複数であり、1のチップコンデンサの上記第1端子または第2端子と、これに隣り合う他のチップコンデンサの第2端子または第1端子との間隔が、前記所定間隔の2以上の整数倍であり、前記第1格子ビア導体のうち、前記第1コンデンサ接続端子に接続しない第1格子ビア導体は、前記端子形成面に形成され、上記第1コンデンサ接続端子のうちいずれかから延びる第1延在部に接続し、前記第2格子ビア導体のうち、前記第2コンデンサ接続端子に接続しない第2格子ビア導体は、前記端子形成面に形成され、上記第2コンデンサ接続端子のうちいずれかから延びる第2延在部に接続する配線基板本体。

【0037】配線基板本体に複数のチップコンデンサを搭載する場合には、チップコンデンサ同士の間に隙間が生じるため、各チップコンデンサとビア導体との接続が面倒となり易い。これに対し、本発明の配線基板本体では、隣り合う2つのチップコンデンサに属する端子同士

の間隔を格子間隔の2以上の整数倍とした。このため、略同じ格子間隔を持つ第1、第2格子ビア導体とそれぞれのチップコンデンサの第1、第2端子との接続についてみれば、各々のチップコンデンサの各第1、第2端子と、各第1、第2格子ビア導体とは、絶縁層において平面方向に延びて形成された配線層が介在することなく、第1、第2コンデンサ接続端子を介するのみで接続できる点で変わるところがない。従って、第1、第2端子と第1、第2格子ビア導体とを容易に、かつ低抵抗、低インダクタンスで接続することができる。

【0038】しかも、チップコンデンサを搭載した場合の各チップコンデンサ同士の隙間や周囲などに対応した位置にある第1、第2格子ビア導体は、それぞれ第1、第2延在部に接続して、これを經由して第1、第2コンデンサ接続端子に接続するので、これを通じてそれぞれ第1、第2コンデンサ接続端子に接続する。このため、第1、第2延在部を有する第1、第2コンデンサ接続端子では、接続される第1、第2格子ビア導体が増えることとなり、チップコンデンサを充放電する際の第1、第2格子ビア導体による抵抗やインダクタンスを低減できる。また、これらの部位に位置する第1、第2格子ビア導体についても、所定間隔の格子状に交互に配置された状態を維持しているため、本発明の配線基板本体に搭載するチップコンデンサの端子数などチップコンデンサの形状等に変更があった場合でも、第1、第2格子ビア導体の位置等を変更することなく、第1、第2延在部を含む第1、第2コンデンサ接続端子のパターンを変更することで、容易に対応することができる。

【0039】さらに他の解決手段は、コンデンサを構成する一方の電極及び他方の電極を備えるチップコンデンサであって、略直方体形状をなし、略矩形状の接続面と、これに直交する4つの側面と、上記接続面に形成され、上記一方の電極と接続する複数の第1端子と、上記接続面に形成され、上記他方の電極と接続する複数の第2端子と、を備え、上記第1端子と第2端子とが、所定間隔で、かつ上記接続面のいずれかの周縁辺と平行及び直交する格子状に交互に配置され、上記第1端子及び第2端子のうち上記接続面の最外周に位置する最外第1端子及び最外第2端子と上記4つの側面との間隔が、いずれも上記所定間隔よりも小さいチップコンデンサである。

【0040】本発明のチップコンデンサでは、第1端子と第2端子とが、所定間隔で、かつ接続面のいずれかの周縁辺と平行及び直交する格子状に交互に配置されている。しかも、第1端子及び第2端子のうち接続面の最外周に位置する最外第1端子及び最外第2端子と4つの側面との間隔が、いずれも上記した所定間隔よりも小さい。従って、このチップコンデンサを用いると、隣り合うチップコンデンサ間で端子同士の間隔を、所定間隔の2倍として複数のチップコンデンサを配置することがで

きる。またさらには、隣り合うチップコンデンサ間で端子同士の間隔を、2倍以内に近づけるもことができる。つまり、複数のチップコンデンサを狭い間隔で並べることができる。従って、例えば、多数のチップコンデンサを配線基板本体に搭載することができる。

【0041】

【発明の実施の形態】（実施形態1）本発明の第1の実施形態を、図1～図7を参照しつつ説明する。図1に示す配線基板100は、中心となるコア絶縁層110と、その上下にそれぞれ積層されたエポキシ樹脂からなる主面側絶縁層122～125、裏面側絶縁層132～135とを有する。配線基板100の主面100bの中央部には、接続パッド185及びその上に形成された接続パンプ189が多数配置され、破線で示すICチップ20の下面21に多数形成された端子22とそれぞれフリップチップ接続可能とされている。また、図中裏面100cの中央部には、第1、第2コンデンサ接続パッド195、196が格子状に交互に配置され、ハンダ199を介して、チップコンデンサ210の第1、第2コンデンサ端子212と接続され、このチップコンデンサ210が裏面100cに搭載されている。また、裏面100cの周縁には、接続パッド194が多数形成され、マザーボード等の他の基板（図示しない）と接続可能となっている。

【0042】コア絶縁層110は、中心となるガラスエポキシ樹脂複合材料からなる絶縁層111の上下にエポキシ樹脂からなる絶縁層112、113をそれぞれ形成した3層の絶縁層からなり、コア主面110bとコア裏面110cとの間を厚さ方向に貫通するコア貫通孔110h内には、スルーホール導体114が多数形成されている。このスルーホール導体114には、信号配線の一部となるスルーホール導体115の他、+の電源電位（共通第1電位）とされる第1スルーホール導体117、接地電位（共通第2電位）とされる第2スルーホール導体118がある。特に、後述するように、投影格子領域PLA内（図1中、中央部分）に位置する第1、第2スルーホール導体層117、118は、所定の格子間隔TP（本実施形態ではTP=450μm）に交互に配置された第1格子スルーホール導体層117及び第2格子スルーホール導体層118となっている。

【0043】次いで、このコア絶縁層110より主面側（図中上方）の構造について説明する。コア絶縁層110のコア主面110b上には、主面側絶縁層122～125及びソルダーレジスト層126が積層されている。これらの層間141～145のうち、層間141（コア主面110b上）には、略ベタ状の第2変換導体層161が形成されている（図5参照）。また、コア主面110bに接する主面側絶縁層122の主面側（すなわち主面側絶縁層122と123の層間142）には、略ベタ状の第1変換導体層162が形成されている（図4参

照)。さらに、層間143、144にはそれぞれ配線層163、164が形成されている。主面100b側に形成された接続バンプ189は、それぞれ接続パッド185を通じて主面側絶縁層125等を貫通して裏面100c側に延びている。

【0044】ここで、この配線基板100の接続バンプ189の配置は、図2に示すようになっている。すなわち、主面100bの中央部分に多数の接続バンプ189が所定間隔BP（本実施形態ではBP=150 μ m）で縦横格子状に並んでいる。このうち、一点鎖線で囲む格子領域LAよりも外側には、主として信号の入出力などを行うための接続バンプ189が並んでいる。一方、格子領域LA内は、図3に示すように、+の電源電位（共通第1電位）とされる第1格子接続バンプ187L及び接地電位（共通第2電位）とされる第2格子接続バンプ188Lが、所定間隔BPで交互に格子状に配置されている。なお、+の電源電位とされる第1接続バンプ187及び接地電位とされる第2接続バンプ188は、格子領域LAの外側にも形成される場合がある。

【0045】このように配置された接続バンプ189のうち、格子領域LAの外側に形成され信号配線などに用いる接続バンプ186は、図1に示すように、主面側絶縁層125あるいは主面側絶縁層125と124とを貫通して、配線層163、164に接続し、一旦さらに外側（図中左右方向）にファンアウトし、主面側絶縁層124～122または123、122を貫通するビア導体172によって、コア絶縁層110に形成したスルーホール導体115に接続する。その後、裏面側絶縁層132～135を貫通するビア導体191によって、裏面側絶縁層135の裏面側に形成された接続パッド194に接続している。これにより、前述したように、他の基板との接続が可能となる。

【0046】一方、格子領域LA内に位置している第1格子接続バンプ187Lは、主面側絶縁層125、124、123を貫通して延びる第1主面側ビア導体182によって、第1変換導体層162に接続する。図4に示す図は、図1におけるM-M'断面のうち、格子領域LAを裏面100c側に投影した投影格子領域PLA内の部分を示したもので、図3に示す第1、第2格子接続バンプ187L、188Lの配置に対応させてある。図4においては、主面側から第1変換導体層162に接続する第1主面側ビア導体182の接続位置を×印によって表している。さらにこの第1変換導体層162の裏面側（コア絶縁層110側）には、破線の○印で示す第1コア側ビア導体184が接続している。すなわち、この第1変換導体層162から第1コア側ビア導体184が裏面側に向けて延びている。ここで、第1コア側ビア導体184の数と位置は、図4に示すようになっている。つまり、第1主面側ビア導体182と第1コア側ビア導体184の数を比較すると、容易に理解できるように、第

1コア側ビア導体184の数が少なくされている。また、第1コア側ビア導体184は第1主面側ビア導体182と図4において重なる位置に形成されている。つまり、第1コア側ビア導体184は第1主面側ビア導体182と同軸に形成されている。従って、同軸とされた第1コア側ビア導体184は第1主面側ビア導体182との間では、第1変換導体層162の厚さ分だけ離れているに過ぎないため、この部分で生じる抵抗やインダクタンスが極めて小さいから、全体としても合成抵抗や合成インダクタンスを小さくすることができる。

【0047】さらに、第1コア側ビア導体184の位置は規則的にされており、第1主面側ビア導体182が構成する格子（図4において斜めに現れる格子）に対し、間隔が3倍の格子を構成するように選択している。このようにして、第1変換導体層によって、第1主面側ビア導体182の接続位置と接続数を変換して、第1コア側ビア導体184と容易に接続することができる。

【0048】また同様に、格子領域LA内に位置している第2格子接続バンプ188Lは、主面側絶縁層125、124、123、122を貫通して延びる第2主面側ビア導体183によって、第2変換導体層161に接続する（図5参照）。但し、第1変換導体層162との関係では、図4に示すように、第1変換導体層162に形成された第1貫通孔162h内を第2主面側ビア導体183が通り、第1変換導体層162との絶縁を保つようにする。図5に示す図は、図1におけるN-N'断面のうち、投影格子領域PLA内の部分を示したもので、図3の第1、第2格子接続バンプ187L、188Lの配置に対応するものである。図5においては、主面側から第2変換導体層161に接続する第2主面側ビア導体183の接続位置を×印によって表している。さらにこの第2変換導体層161の裏面側（コア絶縁層側）では、破線の○印で示す位置で、第2格子スルーホール導体118Lが接続している。ここで、第2格子スルーホール導体118Lの数と位置は、図5に示すようになっている。つまり、第2主面側ビア導体183と第2格子スルーホール導体118Lの数を比較すると、容易に理解できるように、第2格子スルーホール導体118Lの数が少なくされている。また、第2格子スルーホール導体118Lは第2主面側ビア導体183と図5において重なる位置に形成されている。つまり、第2格子スルーホール導体118Lは第2主面側ビア導体183と同軸に形成されている。従って、同軸とされた第2格子スルーホール導体118Lは第2主面側ビア導体183との間では、第2変換導体層161の厚さ分だけ離れているに過ぎないため、この部分で生じる抵抗やインダクタンスが極めて小さいから、全体としても合成抵抗や合成インダクタンスを小さくすることができる。

【0049】しかも、本実施形態では、コア絶縁層110のコア主面110bに第2変換導体層161を形成

し、これに接する主面側絶縁層122の主面側(層間142)に第1変換導体層162を形成しているから、第1、第2変換導体層とも、スルーホール導体に最も近い位置となっており、第1、第2変換導体層161、162から第1、第2格子接続バンプ187L、188Lまでの距離が最も長く、第1、第2格子スルーホール導体117L、118Lまでの距離が最も短くなるように構成してある。従って、並列な経路が長く形成されるので、全体として低抵抗、低インダクタンスで第1、第2格子接続バンプ187L、188Lと、第1、第2格子スルーホール導体117L、118Lとを結ぶことができる。

【0050】さらに、第2格子スルーホール導体118Lの位置は規則的にされており、第2主面側ビア導体183が構成する格子(図5において斜めに現れる格子)に対し、間隔が3倍の格子を構成するように選択している。このようにして、第2変換導体層によって、第2主面側ビア導体183の接続位置と接続数を交換して、第2格子スルーホール導体118Lと容易に接続することができる。さらに、この第2変換導体層161には、第2貫通孔161hが各所に形成されており、この中には、第1格子スルーホール導体117Lが位置しており、第2変換導体層161との絶縁を保つようにしている。ここで、図1、及び図4と図5との関係から容易に理解できるように、第1変換導体層162から裏面側に延びる第1コア側ビア導体184は、第1格子スルーホール導体117Lに接続している。

【0051】このようにして、第1、第2変換導体層161、162で、第1、第2格子接続バンプ187L、188Lから延びる第1、第2主面側ビア導体182、183の接続位置や接続数の交換を行うことで、図6に示すように、コア絶縁層110に形成された第1、第2格子スルーホール導体117L、118Lは、再び縦横格子状に交互に配置され、しかも、その格子間隔TPは、第1、第2格子接続バンプ187L、188Lの格子間隔BPの3倍となっている。

【0052】このような手法によれば、コア絶縁層110に形成する第1、第2格子スルーホール導体117L、118Lの格子間隔TPを大きくしつつ、第1、第2格子スルーホール導体117L、118Lと、格子間隔BPの狭い第1、第2格子接続バンプ187L、188Lとの接続を容易に行うことができ、配線基板の配線引き回し設計が極めて容易となる。

【0053】かくして、格子間隔が3倍に大きくされた第1、第2格子スルーホール導体117L、118Lは、コア裏面110cから裏面側絶縁層132~135を貫通する第1、第2裏面側ビア導体192、193にそれぞれ接続する。第1、第2裏面側ビア導体192、193もその格子間隔VP($VP=TP=450\mu m$)を保った状態で、格子状に交互に配置され、裏面側絶縁

層135の裏面側に形成された第1、第2コンデンサ接続パッド195、196にそれぞれ接続している。この第1、第2コンデンサ接続パッド195、196には、前述したように、チップコンデンサ210が接続されている。

【0054】なお、このチップコンデンサ210は、図7(a)に示すように、略直方体形状をなし、接続面210bに多数のコンデンサ端子212が格子状に配置されたものであり、図7(b)に示すような構造を有する積層セラミックコンデンサである。すなわち、チップコンデンサ210は、BaTiO₃等からなる高誘電率セラミック215と電極層221、222とが交互に積層された積層構造を有しており、しかも、ビア223は1層おきの電極221と接続し、ビア224は、残りの1層おきの電極222と接続するようにしてある。これらのビア223、224はそれぞれ接続面210b側に形成された第1、第2コンデンサ端子213、214に接続される。第1、第2コンデンサ端子213、214は、第1、第2裏面側ビア導体192、193の格子間隔VPに略等しい所定の格子間隔CP(本実施形態では、 $CP=VP=450\mu m$)の格子状に交互に配置されている。第1、第2コンデンサ端子213、214には必要に応じて、ハンダ199が付着される。また、ハンダの濡れ拡がりによる不具合を防止するため、第1、第2コンデンサ端子213、214の周囲にソルダーレジスト層216を形成することもある。このチップコンデンサ210は上記のような構造を有しているので、第1コンデンサ端子213と第2コンデンサ端子214との間に、図7(c)に示すようなコンデンサが形成されたことになる。

【0055】このように、上記したチップコンデンサ210では、第1、第2コンデンサ端子213、214が、第1、第2裏面側ビア導体192、193の格子間隔VPに略等しい所定間隔CP(本実施形態では、 $CP=VP=450\mu m$)の格子状に交互に配置されている。このため、チップコンデンサの第1、第2コンデンサ端子213、214をそれぞれ配線基板本体101の第1、第2コンデンサ接続パッド195、196に容易に接続することができる。しかも、第1、第2裏面側ビア導体192、193と、第1、第2コンデンサ端子213、214との間には、第1、第2コンデンサ接続パッド195、196が介在するだけであるので、両者の間に生じる抵抗やインダクタンスをも抑制することができる。

【0056】また、本実施形態では、図1左側に示すように、接続パッド194から、裏面側ビア導体191、第1、第2スルーホール導体117、118、コア側ビア導体172を経由して、第1、第2変換導体層161、162に+の電源電位や接地電位(+あるいはGの記号で表示)を供給することで、チップコンデンサ21

0及び電子部品20に電力を供給する。このようなチップコンデンサ210を配線基板100の裏面100cに搭載したことにより、ICチップ等の電子部品20の直下にチップコンデンサ210を配置し、多数のビア導体等を用いて並列の経路で両者の間を接続しているため、低抵抗、低インダクタンスな経路により安定した電源電位や接地電位を供給することができる。

【0057】次いで、配線基板100の製造方法について説明する。配線基板100は、公知のビルドアップ配線基板及び積層セラミックコンデンサの形成手法により形成すれば良い。例えば、ガラスエポキシ樹脂複合材料からなる樹脂層111を用意し、その上下面に、樹脂層112、113及び銅箔をそれぞれ積層し硬化させる。その後、必要な部位に、貫通孔110hをレーザ、ドリル等により穿孔し、パネルメッキし、貫通孔内に樹脂を充填する。硬化後上下面を研磨し、無電解メッキ及び電解メッキを行って充填樹脂の上部(下部)にもメッキ層を形成した後、パターンニングして、スルーホール導体を形成したコア絶縁層110を完成する。その後は、ビルドアップ手法、メッキ、エッチング技術により、絶縁層や配線層、変換導体層、ビア導体等を順次形成して、配線基板本体101を完成させる。その後、別途形成しておいた、チップコンデンサ210をハンダ付けにより搭載して、配線基板100を完成する。

【0058】(変形形態1)次いで、本実施形態の変形形態1について、図8を参照して説明する。上記実施形態1の配線基板100では、3層の絶縁層からなるコア絶縁層110を中心とし、主面側絶縁層122~125及び裏面側絶縁層132~135を備え、コア絶縁層110のコア主面110bに第2変換導体層161を、それに隣り合う層間142に第1変換導体層162を備え、第2変換導体層161と第2格子スルーホール導体118Lとが直接接続してなるものを示した。これに対し、本変形形態2の配線基板300は図8に示すように、コア絶縁層として1層のコア絶縁層311を用い、第2変換導体層161を主面側絶縁層の層間に形成しても良い。具体的には、本変形形態では、主面側絶縁層321と122との層間341に第2変換導体層161を形成している。また、第1変換導体層162を主面側絶縁層122とこれに隣り合う主面側絶縁層123との層間142に形成している。但し、この配線基板300では、図4、図5に示すように、第1変換導体層162から第1コア側ビア導体184に代えて、第1コア側ビア導体384が延びている。また、第2変換導体層161の第2貫通孔161h内を通して、第1格子スルーホール導体317Lに接続している。さらに、第2変換導体層161からは、第2コア側ビア導体385が延びて、第2格子スルーホール導体318Lに接続している。

【0059】このようにしても、実施形態1と同様に、コア絶縁層110に形成するスルーホール導体の格子間

隔を大きくしつつ、スルーホール導体317、318と、格子間隔の狭い第1、第2接続バンプ187、188との接続を容易に行うことができ、配線基板の配線引き回し設計が極めて容易となる。

【0060】(変形形態2)さらに他の変形形態について、図9~図12を参照して説明する。上記実施形態1では、配線基板100に搭載するチップコンデンサとして、単一のチップコンデンサ210を用いた例を示した。しかし、複数のチップコンデンサを搭載するようにしても良い。本変形形態では、チップコンデンサ410を複数搭載した配線基板について説明する。配線基板本体501は、実施形態1に用いた配線基板本体101とほぼ同様である。但し、複数のチップコンデンサ410を搭載するのに対応して、隣り合うチップコンデンサ410の隙間(境界)付近において、第1、第2コンデンサ接続パッド195、196及びハンダを介して、第1コンデンサ端子413あるいは第2コンデンサ端子414に接続しない第1、第2裏面側ビア導体192、193が発生することがある。これに対応するため、配線基板本体501は、付近の第1、第2コンデンサ接続パッド195、196から延びた第1、第2延在部595EL、596ELを形成し、この第1、第2延在部595EL、596ELに余った第1、第2裏面側ビア導体192、193を接続するようにしたものである。

【0061】すなわち、図9に示すように、配線基板本体501に複数のチップコンデンサ410を搭載する際には、あるチップコンデンサ410の側面417S1と、他のチップコンデンサの側面417S3との間隙を極端に小さくすることができないため、隣り合うチップコンデンサ410同士の間隙(境界)に対応する部分に、ちょうど第1、第2裏面側ビア導体192、193が位置することとなる場合がある(例えば、図9中、中心の第1裏面側ビア導体192)。かかる場合には、このような第1、第2裏面側ビア導体192、193についてだけ、他との接続をしないように、絶縁することも考えられる。しかし、図10に示す本変形形態のように、付近の第1、第2コンデンサ接続パッド195、196から延びた第1、第2延在部595EL、596ELをそれぞれ形成し、この第1、第2延在部595EL、596ELに、隙間に対応する部分に位置する第1、第2裏面側ビア導体192、193を接続する。このようにすれば、図11に示すように、このような第1、第2裏面側ビア導体192、193についても、この第1、第2延在部595EL、596ELを介して、第1、第2コンデンサ端子413、414と接続させることができる。しかも、第1、第2延在部595EL、595ELを経由して第1、第2裏面側ビア導体192、193に接続する経路が増えたことになるので、第1、第2裏面側ビア導体192、193と第1、第2コンデンサ端子413、414との間に発生する抵抗やインダ

クタンスをより抑制することができる。

【0062】なお、本変形形態では、チップコンデンサ410として、図12に示すように、各コンデンサ端子412（第1、第2コンデンサ端子413、414）が、接続面410bの周縁辺410P1、410P2、410P3、410P4と平行または直交する格子状に配置されており、最外周に位置する第1、第2コンデンサ端子413、414と4つの側面417S1、417S2、417S3、417S4との間隔SS1、SS2、SS3、SS4が、コンデンサ端子412の格子間隔CPよりも小さいものを使用している。このため、図11に示すように、隣り合うチップコンデンサの端子間の間隔をコンデンサ端子の格子間隔CP同士の2倍（ $2CP = 900\mu m$ ）とした本変形形態2でも、隣り合うチップコンデンサ410同士の間に隙間 ΔS を設けて、容易に配置できるようにされている。但し、本実施形態では、間隔SS1等がいずれもひとしいものを用いたので、間隔SSで代表させてある。

【0063】（変形形態3）さらに他の変形形態について、図13～図15を参照して説明する。上記変形形態2では、隣り合うチップコンデンサ410の端子間の間隔をコンデンサ端子の格子間隔CP同士の2倍（ $2CP$ ）としたが、端子間の間隔は、さらに広くすることもできる。すなわち、図13～図15に示す本変形形態3では、配線基板本体601において、搭載するチップコンデンサ410の端子間の間隔をコンデンサ端子の格子間隔CP同士の3倍（ $3CP$ ）とした。

【0064】このようにした場合にも、図13～図15に示すように、付近の第1、第2コンデンサ接続パッド195、196から延びた第1、第2延在部695EL、696ELを形成し、この第1、第2延在部695EL、696ELに、隙間に対応する位置の近傍にある第1、第2裏面側ビア導体192、193を接続するようにする。このようにすれば、図13、図14に示すように、コンデンサ端子413、414に接続できなかった第1、第2裏面側ビア導体192、193についても、この第1、第2延在部695EL、696ELを介して、第1、第2コンデンサ端子413、414と接続することができる。しかも、第1、第2延在部695EL、696ELを経由して第1、第2裏面側ビア導体192、193に接続する経路が増えたことになるので、第1、第2裏面側ビア導体192、193と第1、第2コンデンサ端子413、414との間に発生する抵抗やインダクタンスをより抑制することができる。

【0065】以上において、本発明を実施形態及び変形形態1～3に即して説明したが、本発明は上記実施形態等に限定されるものではなく、その要旨を逸脱しない範囲で、適宜変更して適用できることはいうまでもない。

【図面の簡単な説明】

【図1】実施形態1にかかる配線基板の断面図である。

【図2】実施形態1にかかる配線基板の平面図である。

【図3】実施形態1にかかる配線基板のうち、格子領域内に位置する第1、第2格子接続端子の配置を示す説明図である。

【図4】実施形態1にかかる配線基板のうち、投影格子領域内における第1変換導体層と第1主面側ビア導体及び第2主面側ビア導体との関係を示す説明図である。

【図5】実施形態1にかかる配線基板のうち、投影格子領域内における第2変換導体層と第1コア側ビア導体及び第2主面側ビア導体との関係を示す説明図である。

【図6】実施形態1にかかる配線基板のうち、投影格子領域内における第1格子スルーホール導体と第2格子スルーホール導体相互の関係、及び第1、第2格子端子との関係を示す説明図である。

【図7】実施形態1にかかる配線基板の裏面側に搭載するチップコンデンサの（a）は斜視図、（b）はコンデンサの内部構造を説明するための断面説明図、（c）はコンデンサと第1、第2端子との関係を示す回路図である。

【図8】変形形態1にかかる配線基板の断面図である。

【図9】変形形態2にかかる配線基板であって、裏面側に複数のチップコンデンサを搭載した場合における、チップコンデンサの各端子とその近傍の配線板本体の構造との関係を示す断面図である。

【図10】変形形態2にかかる配線基板であって、第1、第2格子ビア導体と、第1、第2コンデンサ接続パッド及び第1、第2延在部との関係を示す断面図である。

【図11】変形形態2にかかる配線基板であって、第1、第2コンデンサ接続パッド及び第1、第2延在部と、チップコンデンサの第1、第2端子との関係を示す断面図である。

【図12】変形形態2にかかる配線基板の裏面側に搭載するチップコンデンサは斜視図である。

【図13】変形形態3にかかる配線基板であって、裏面側に複数のチップコンデンサを搭載した場合における、チップコンデンサの各端子とその近傍の配線板本体の構造との関係を示す断面図である。

【図14】変形形態3にかかる配線基板であって、第1、第2格子ビア導体と、第1、第2コンデンサ接続パッド及び第1、第2延在部との関係を示す断面図である。

【図15】変形形態3にかかる配線基板であって、第1、第2コンデンサ接続パッド及び第1、第2延在部と、チップコンデンサの第1、第2端子との関係を示す断面図である。

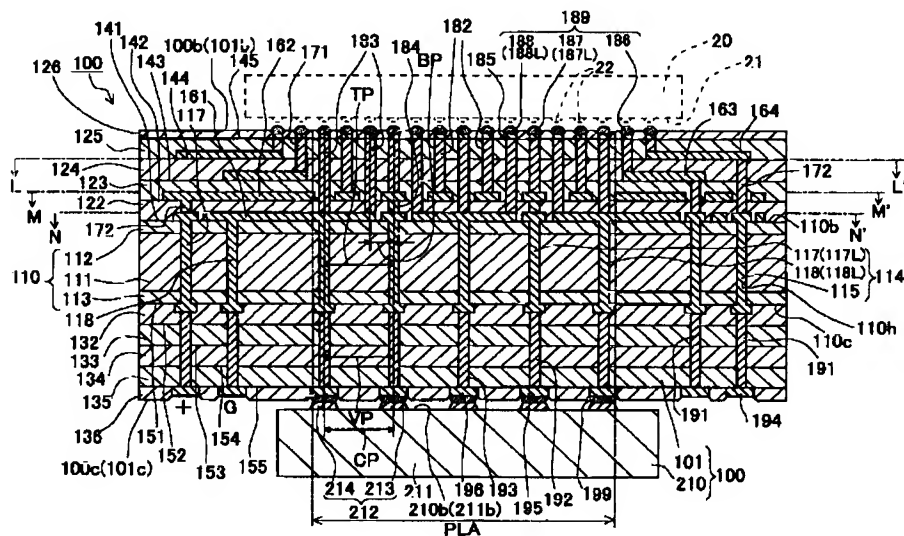
【図16】基板の主面や裏面にチップコンデンサを搭載した従来の配線基板を示す説明図である。

【符号の説明】

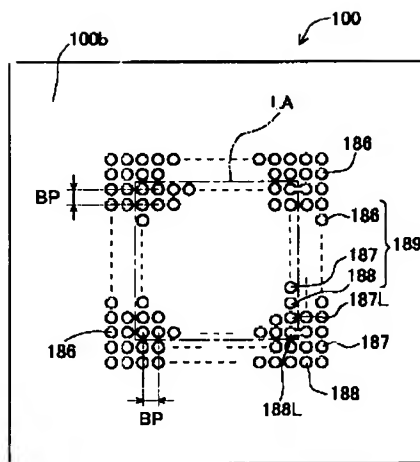
20 ICチップ（電子部品）

100, 300 配線基板	184, 384 第1コア側ビア導体
100b, 300b 主面	185 接続パッド
100c, 300c 裏面	187 第1接続バンプ(第1接続端子)
101, 301 配線基板本体	188 第2接続バンプ(第2接続端子)
110, 311 コア絶縁層	187L 第1格子接続バンプ(第1格子接続端子)
110b, 311b コア主面	188L 第2格子接続バンプ(第2格子接続端子)
110c, 311c コア裏面	189 接続バンプ(接続端子)
111, 112, 113 絶縁層	385 第2コア側ビア導体
114, 115, 117, 118, 314, 315, 317, 318 スルーホール導体	192 第1裏面側ビア導体
117L, 317L 第1格子スルーホール導体	193 第2裏面側ビア導体
118L, 318L 第2格子スルーホール導体	195 第1コンデンサ接続パッド(第1コンデンサ接続端子)
122, 123, 124, 125, 321 主面側樹脂絶縁層	196 第2コンデンサ接続パッド(第2コンデンサ接続端子)
132, 133, 134, 135, 331 裏面側樹脂絶縁層	210, 410 チップコンデンサ
126, 136 ソルダレジスト層	210b, 410b 接続面
161 第2変換導体層	212 コンデンサ端子
161h 第2貫通孔	213, 413 第1コンデンサ端子(第1端子)
162 第1変換導体層	214, 414 第2コンデンサ端子(第2端子)
162h 第1貫通孔	LA 格子領域
182 第1主面側ビア導体	PLA 投影格子領域
183 第2主面側ビア導体	CP コンデンサ端子の格子間隔
	VP 第1接続バンプ及び第2接続バンプの格子間隔

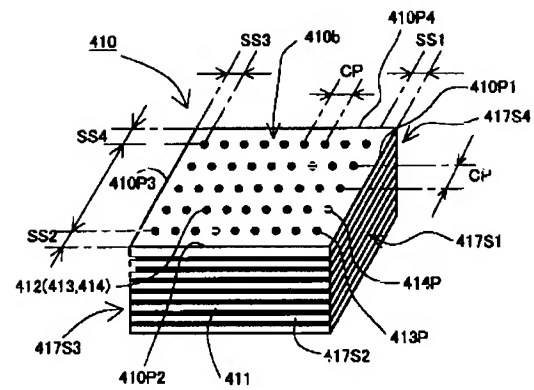
【図1】



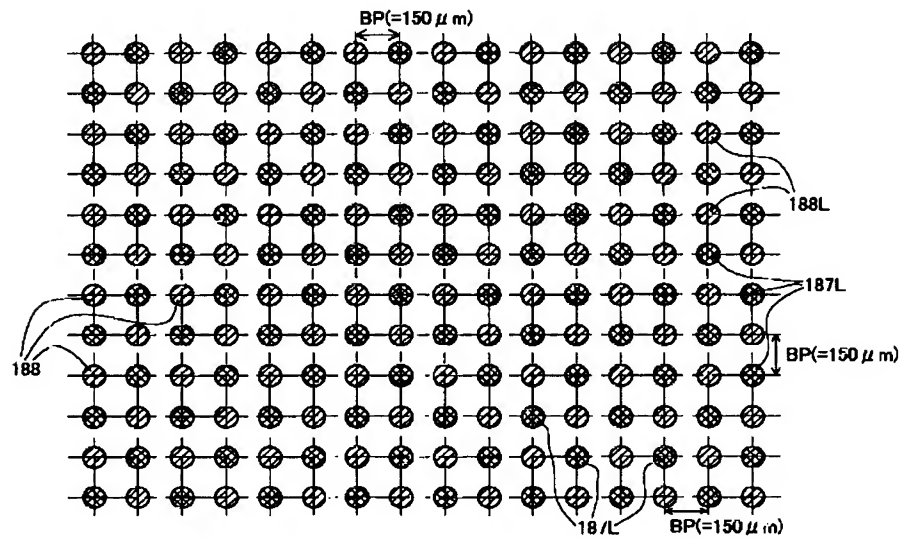
【図2】



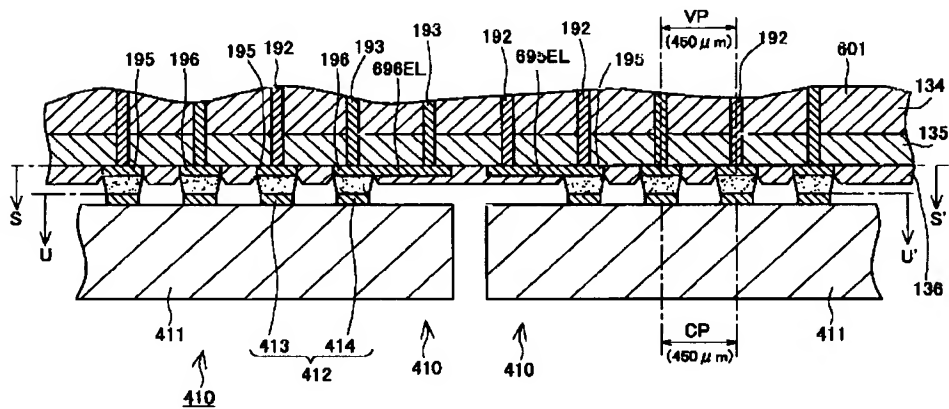
【図12】



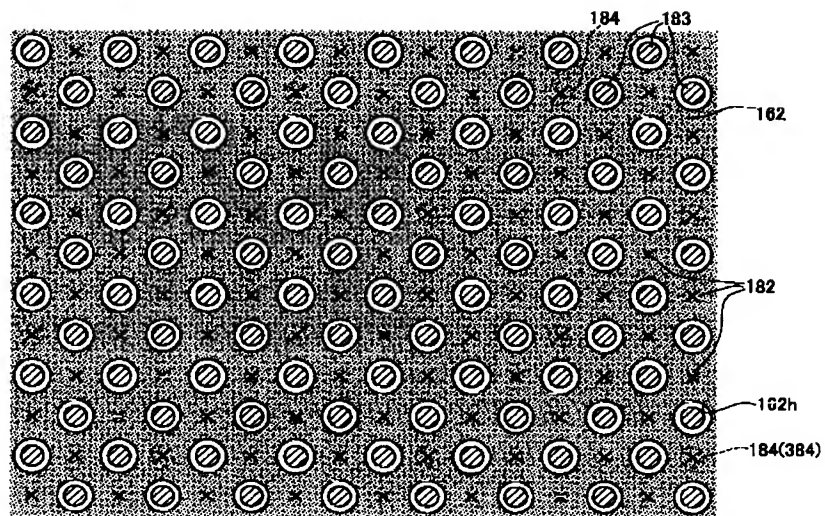
【図3】



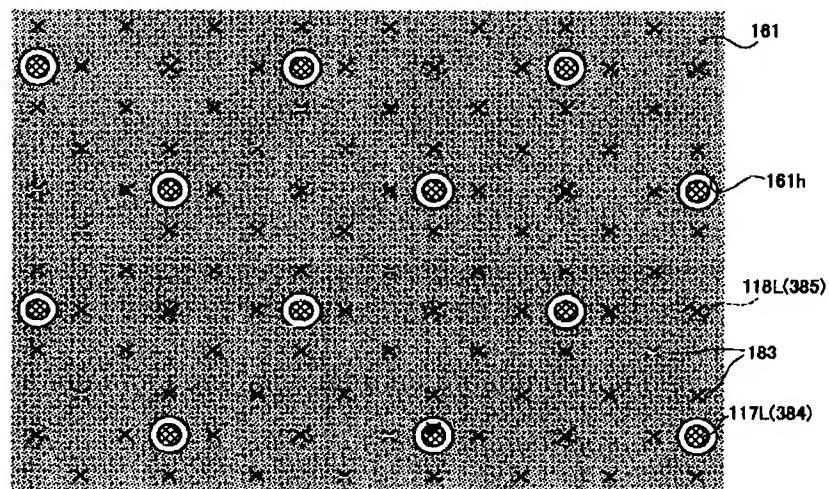
【図13】



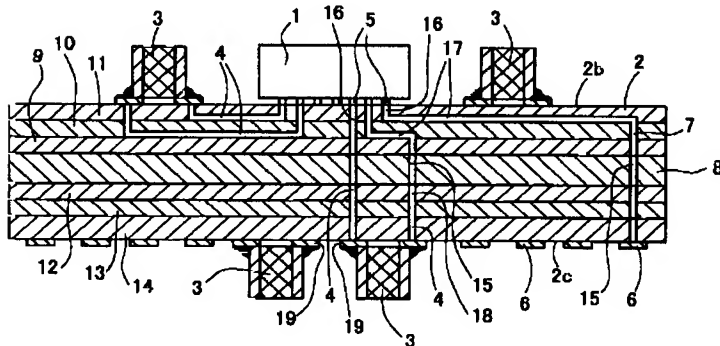
【図4】



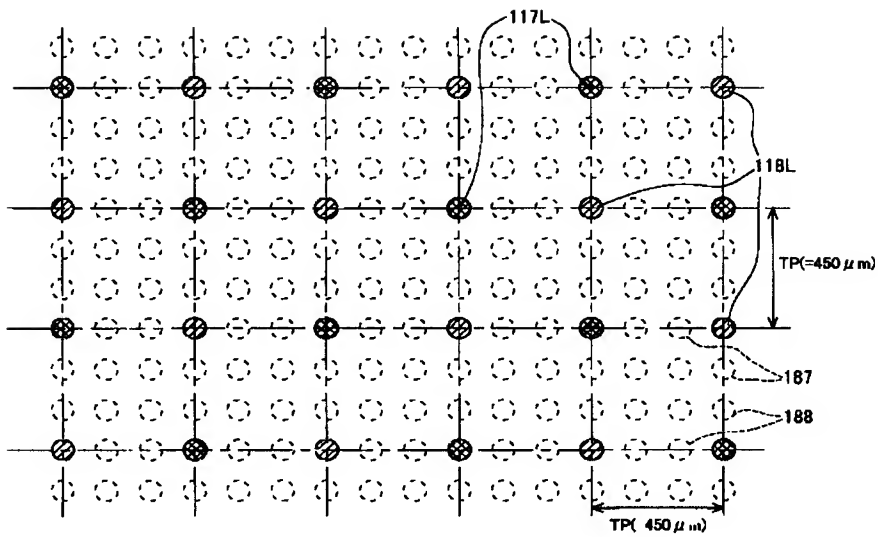
【図5】



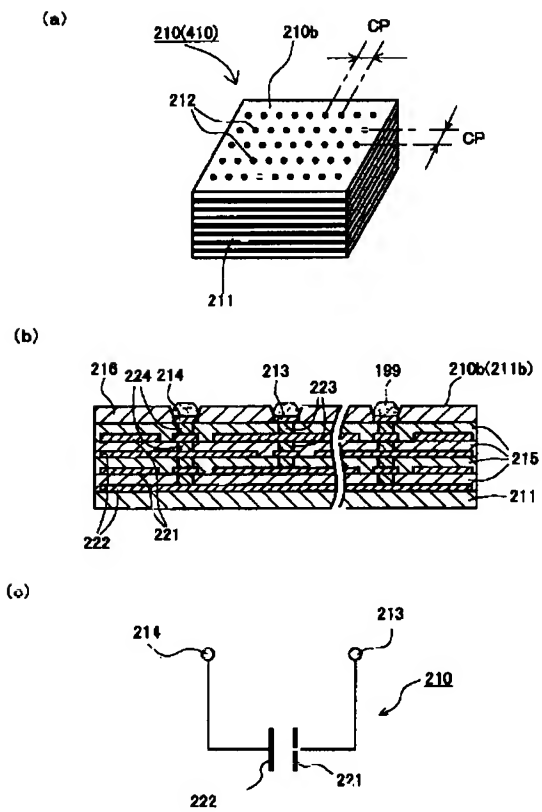
【図16】



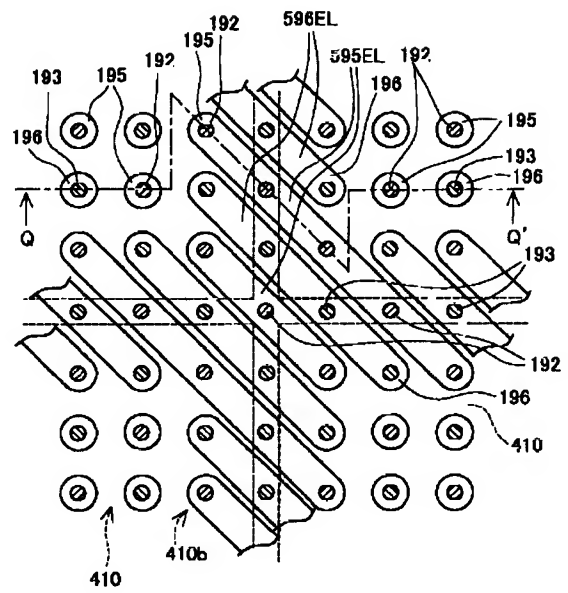
【圖6】

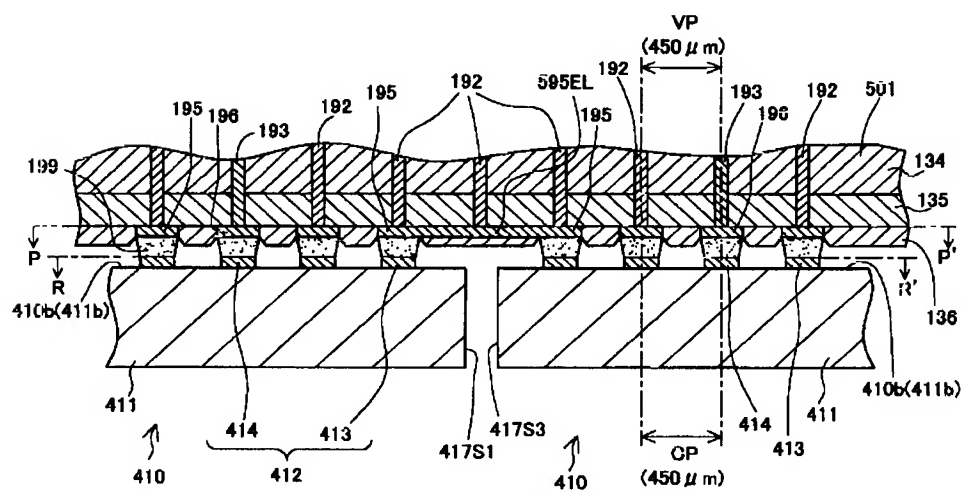


【圖7】

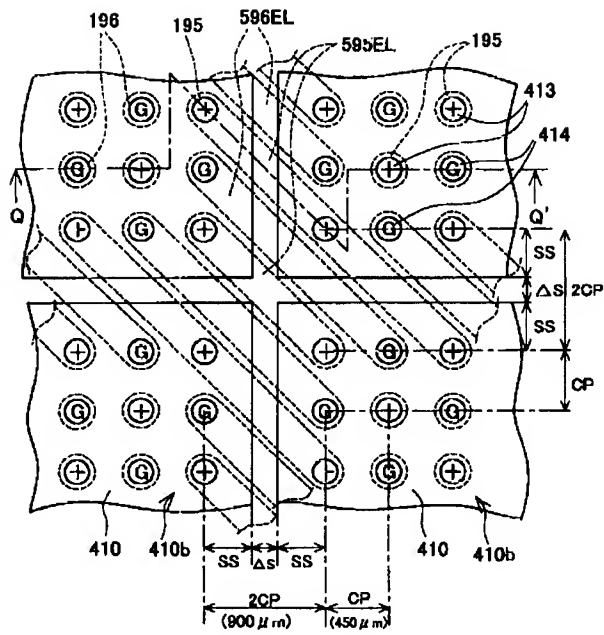


【圖10】

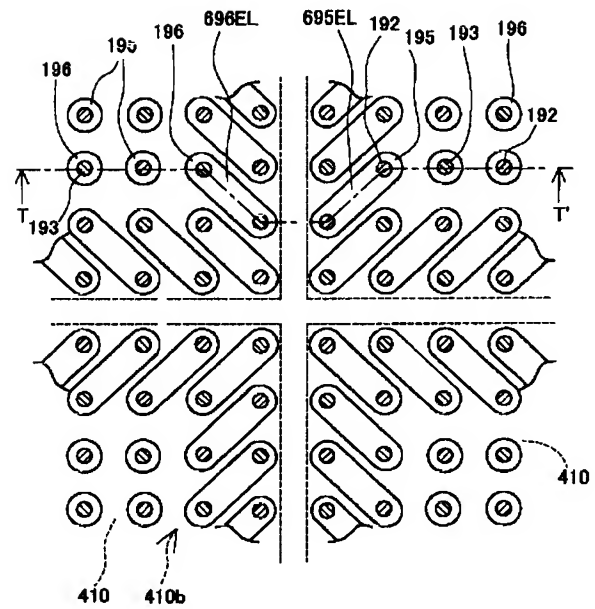




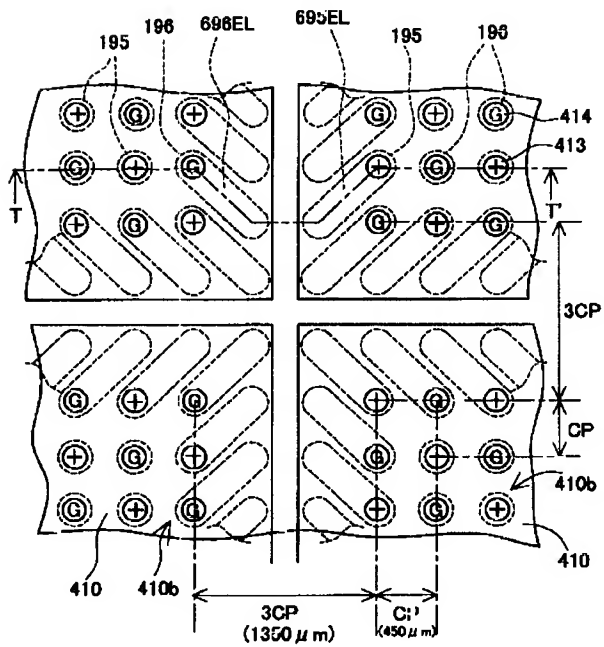
【図11】



【図14】



【図15】



フロントページの続き

(72)発明者 木村 幸広

愛知県名古屋市瑞穂区高辻町14番18号 日

本特殊陶業株式会社内

F ターム(参考) 5E001 AB03

5E082 AA01 AB03 DD11 DD13 EE35

FF05

5E346 AA04 AA06 AA12 AA15 AA32

AA43 BB02 BB03 BB04 BB06

BB07 BB11 BB16 BB20 FF01

FF45 GG15 GG17 GG28 HH01

HH22